

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274258

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 08-097474

(71)Applicant : MOTOROLA INC

(22)Date of filing : 27.03.1996

(72)Inventor : SAKAMOTO KURT K  
TRACHT NEIL T  
PRYOR ROBERT A

(30)Priority

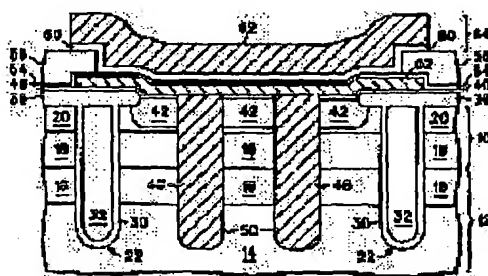
Priority number : 95 411194    Priority date : 27.03.1995    Priority country : US

## (54) INTEGRATED CIRCUIT CAPACITOR WITH CONDUCTIVE TRENCH

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the serial resistance of a bottom part electrode, to reduce the surface area of an integrated circuit and to unecessitate giving a metallic wire on the surface of the integrated surface, by constituting a conductive trench extending to a semiconductor substrate through the first opening of a semiconductor of the conductive trench electrically connecting a bottom part electrode layer and the semiconductor substrate.

**SOLUTION:** A capacitor is provided with an upper part electrode layer 64, a dielectric layer 54 and a bottom part electrode layer 52, and conductive trenches 50 electrically connect the layer 52 to a semiconductor wafer 14. In addition, the wafer 14 is electrically connected to the ground or a lowest reference potential source. Consequently, the bottom part electrode of the capacitor is connected to a potential source without necessitating an upper part contact. In addition, the serial resistance of the layer 52 is reduced compared with a capacitor necessitating an upper face contact to the bottom part electrode. Lest a serial resistance substantially exists between the optional part of the layer 52 and connection nearest to the ground through the wafer 14 in particular, a sufficient number of trenches 50 are provided.



## LEGAL STATUS

[Date of request for examination] 08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274258

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 27/04  
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

C

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21) 出願番号 特願平8-97474

(22) 出願日 平成8年(1996)3月27日

(31) 優先権主張番号 4 1 1 1 9 4

(32) 優先日 1995年3月27日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORAT  
RED

アメリカ合衆国イリノイ州シャンバーグ、

イースト・アルゴンクイン・ロード1303

(72) 発明者 カート・ケー・サカモト

アメリカ合衆国アリゾナ州チャンドラー、

ウェスト・ラレド・ストリート1631

(74) 代理人 弁理士 大貫 進介 (外1名)

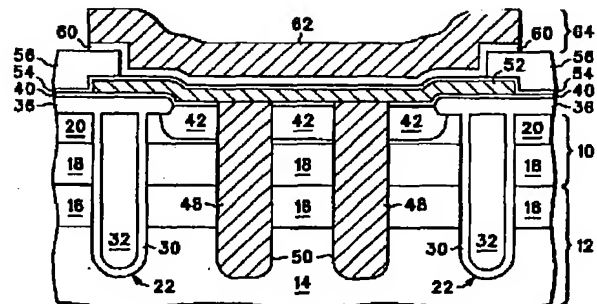
最終頁に続く

(54) 【発明の名称】 導電トレンチを有する集積回路コンデンサ

(57) 【要約】

【課題】 底部電極層52の下に被着された導電トレンチ50であって、底部電極層を半導体基板14、16に電気接続する導電トレンチ50を有する集積回路用のコンデンサ58を提供する。

【解決手段】 導電トレンチは、底部電極層への上面コンタクトの必要を省く。半導体基板は、例えば、グランドに接続される。



1

## 【特許請求の範囲】

【請求項 1】 集積回路用のコンデンサ（58）であって：第 1 導電型の半導体基板（12）；第 1 開口部を有し、かつ前記半導体基板の上にある、第 2 導電型の半導体層（10）；第 2 開口部を有し、かつ前記半導体層の上にある絶縁層（40）；前記絶縁層の上にある底部電極層（52）；前記底部電極層に被着された誘電層（54）；前記誘電層に被着された上部電極層（64）；および前記底部電極層の下に被着され、かつ前記絶縁層の前記第 2 開口部を介し、前記半導体層の前記第 1 開口部を介して前記半導体基板まで延在する導電トレンチ（50）であって、前記導電トレンチは、前記底部電極層および前記半導体基板を電気接続する導電トレンチ（50）；によって構成されることを特徴とする集積回路用のコンデンサ（58）。

【請求項 2】 集積回路用のコンデンサであって：第 1 導電型のシリコン半導体基板（12）；第 1 開口部を有し、かつ前記シリコン半導体基板の上にある、第 2 導電型のシリコン半導体層（10）；第 2 開口部を有し、かつ前記シリコン半導体層の上にある窒化シリコン絶縁層（40）；前記窒化シリコン絶縁層の上にあるポリシリコンの底部電極層（52）；窒化シリコンからなり、かつ前記底部電極層に被着された誘電層（54）；前記誘電層に被着された上部電極層（64）；およびポリシリコンで充填され、かつ前記底部電極層の下に被着され、かつ前記窒化シリコン絶縁層の前記第 2 開口部を介し、前記シリコン半導体層の前記第 1 開口部を介して前記シリコン半導体基板まで延在する導電トレンチ（50）であって、前記導電トレンチは、前記底部電極層および前記シリコン半導体基板を電気接続する導電トレンチ（50）；によって構成されることを特徴とする集積回路用のコンデンサ。

【請求項 3】 集積回路用のコンデンサを形成する方法であって：第 1 導電型の半導体基板（12）を設ける段階；前記半導体基板の上に第 2 導電型の半導体層（10）を形成する段階；前記半導体層の上に、活性領域（38）を定める第 1 フィールド分離層（36）を形成する段階；前記半導体層の上に絶縁層（40）を形成する段階；前記絶縁層を介し、前記半導体層を介して前記半導体基板まで延在する垂直トレンチ（46）を形成する段階であって、前記垂直トレンチは前記活性領域内に被着される、段階；前記垂直トレンチを導電材料（48）で充填する段階；前記絶縁層および前記垂直トレンチの上に底部電極層（52）を形成する段階であって、前記垂直トレンチの前記導電材料は、前記底部電極層および前記半導体基板と接触する、段階；前記底部電極層上に誘電層（54）を形成する段階；および前記誘電層上に上部電極層（64）を形成する段階；によって構成されることを特徴とする方法。

## 【発明の詳細な説明】

2

## 【0001】

【産業上の利用分野】本発明は、一般に、集積回路に関し、さらに詳しくは、導電トレンチ (conductive trench) を有する集積回路用のコンデンサ構造に関する

## 【0002】

【従来の技術】コンデンサは一般的な集積回路の基本構成要素であり、所望される特定の回路用途に応じてさまざまなコンデンサ構造が存在する。このような構造の 1 つは、「バイパス・コンデンサ」として知られ、例えば、高周波数で動作する集積回路用の電圧源ライン上の雑音を低減するために利用される。

## 【0003】

【発明が解決しようとする課題および課題を解決するための手段】一般的な従来のバイパス・コンデンサは、金属の上部電極と、高濃度にドーピングされたポリシリコンの底部電極と、窒化シリコンの誘電体とを用いる。しかし、この従来のコンデンサの欠点は、底部電極が集積回路の上層のいくつかを介して形成される金属コンタクトを必要とすることである。底部電極に対するこのコンタクトは、集積回路上で付加的な表面領域を必要とし、底部電極両端にかなり高い直列抵抗を生じさせる。これは、底部電極が一般に約 140 オーム/平方のシート抵抗を有し、底部電極に対するコンタクトが一般に電極の一端部でのみ形成されるためである。従って、接触した端部から電極の反対端部まで、底部電極両端で高い抵抗が存在する。この従来のコンデンサの別の欠点は、グラウンドまたは他の最低電位源に接続するため、上部電極に対する金属コンタクトまたは底部電極に対する金属コンタクトのいずれかを集積回路レイアウトの上部に配線しなければならないことである。

【0004】従って、底部電極の直列抵抗を低減し、コンデンサに必要な集積回路表面積を低減し、コンデンサ電極を最低電位源に接続するために集積回路の表面上で金属配線を施す必要を省く集積回路コンデンサが必要とされる。

## 【0005】

【実施例】簡単には、本発明は、底部電極層の下に被着された (disposed) 導電トレンチであって、この底部電極層を半導体基板に電気接続する導電トレンチからなる、集積回路用のコンデンサを提供する。半導体基板とは反対の導電型を有する半導体層と、絶縁層とは、基板の上に被着され、導電トレンチは絶縁層および半導体層の両方を介して、半導体基板まで延在する。一実施例では、導電トレンチにより、基板に接続されるグラウンド基準電位に、底部電極層を接続できる。

【0006】本発明は、本発明によるコンデンサの製造を示す断面図である図 1 ないし図 8 を参照してさらに詳しく説明できる。図 1 において、半導体層 10 は、半導体基板 12 の上に形成される。半導体層 10 は、高濃度にドーピングされた N 型エピタキシャル埋設層 18 と、

3

低濃度にドーピングされたN型エピタキシャル層20とによって構成される。半導体基板12は、高濃度にドーピングされたP型半導体ウェハ14と、上部の低濃度にドーピングされたP型エピタキシャル層16とによって構成される。ウェハ14は、例えば、0.09~0.11オームcmのバルク抵抗を有するシリコンであり、エピタキシャル層20は、例えば約1ミクロンの厚さを有する。エピタキシャル層16、18、20は、従来の方法を利用してウェハ14上に形成され、例えばシリコンである。

【0007】絶縁トレンチ22は、反応性イオン・エッチングなど周知の方法を利用して形成される。前にパターンニングされたハードマスク24は、周知のように、エッチングの前に絶縁トレンチ22の位置を定める。ハードマスク24は、例えば、約2,600オングストロームの厚さを有する酸化物層26、約1,500オングストロームの厚さを有する窒化物層28、窒化物層28の真下に被着され、約500オングストロームの厚さを有するポリシリコン層（図示せず）およびポリシリコン層（図示せず）の真下と、エピタキシャル層20上に被着され、約150オングストロームの厚さを有する酸化物層（図示せず）とによって構成される。酸化物層26は、例えば、周知のように、炉内で硬化されたTEOS (tetraethylorthosilicate) から形成される。

【0008】絶縁トレンチ22がエッチングされた後、トレンチ22の壁に線形酸化物30が形成され、別のポリシリコン層（図示せず）が被着され、エッチバックされて、トレンチ22においてポリシリコン充填32となる。例えば、線形酸化物30は、従来の炉内TEOSプロセスで形成される場合に約3,000オングストロームの厚さを有し、充填32となるポリシリコン層（図示せず）は、約8,000オングストロームの厚さに被着される。絶縁トレンチ22は、例えば約5ミクロンの深さを有し、ポリシリコン充填32は好ましくはドーピングされない。

【0009】図2を参照して、酸化物層26は、例えば反応性イオン・エッチングによって除去され、窒化物層28はパターンニングされて、窒化物マスク層34となる。窒化物層28は、例えば、ハードマスク24のポリシリコン層（図示せず）をエッチストップとして利用して反応性イオン・エッチングによってパターンニングされる。

【0010】図3において、窒化物マスク層34は、活性領域(active area) 38を定めるため、従来のプロセスを利用して、酸化物などのフィールド分離層36を成長するために用いられる。フィールド分離層36は、例えば約7,000オングストロームの厚さを有する。次に、窒化物マスク層34と、ハードマスク24の残りのポリシリコンおよび酸化物層（図示せず）とは、例えば湿式エッチングによって除去され、活性領域38にお

4

てエピタキシャル層20を露出する。

【0011】図4を参照して、例えば約400オングストロームのスクリーン酸化物層（図示せず）は、エピタキシャル層20の活性領域38において成長される。次に、絶縁層40はフィールド分離層36および活性領域38の上に形成される。絶縁層40は、例えば、約1,000オングストロームの厚さを有する窒化シリコンである。高濃度にドーピングされたP型ドーピング層42は、例えば、約 $8 \times 10^{13}/\text{cm}^2$ の注入量および約150keVのエネルギーでホウ素を用いて、絶縁層40を介してイオン注入することによって、エピタキシャル層20に任意に形成される。ドーピング領域42は、例えば、約900°Cで30分間窒素内でアニールすることによって活性化される。尚、ドーピング領域42は、エピタキシャル層20内に実質的に含まれ、フィールド分離層36によってそのエッジ部にて定められることに理解されたい。

【0012】ここで図5を参照して、酸化物層44は、垂直トレンチ46を定めて形成するためのハードマスクとして機能するように形成される。酸化物層44および絶縁層40は、既知の方法を利用してパターンニングされ、次に垂直トレンチ46は、周知のように、例えば反応性イオン・エッチングを用いて形成される。完全に形成されると、トレンチ46はウェハ14までエピタキシャル層20、18、16を介して延在し、前述のように絶縁トレンチ22を形成するために用いた実質的に同じ処理方法を利用して形成される。ドーピング領域42は、好ましくは各垂直トレンチ46を取り囲む。

【0013】図6に示すように、垂直トレンチ46は、導電材料48で充填され、導電トレンチ50となる。導電材料48は、ポリシリコン層（図示せず）を例えば約8,000オングストロームの厚さに被着することによって形成できる。このポリシリコン層は、周知のように、P型となるように、被着中にホウ素で高濃度にドーピングされ、次にポリシリコン層は、例えば反応性イオン・エッチングを用いて標準的な平坦化プロセスにおいてエッチバックされる。

【0014】次に、導電トレンチ50の上でこれに接触して、底部電極層52が形成される。底部電極層52は、ポリシリコン層を約1,800オングストロームの厚さに被着することによって形成できる。このポリシリコン層は、例えば、約 $3.5 \times 10^{15}/\text{cm}^2$ の注入量で、約20keVのエネルギーにてイオン注入することによってホウ素で好ましくはドーピングされ、底部電極層52のシート抵抗は約140オーム/平方となる。尚、導電トレンチ50は、最終的なコンデンサにおいて底部電極層52を半導体ウェハ14に電気接続し、導電材料48は、好ましくは高濃度にドーピングされたP型ポリシリコンであることに留意されたい。また、導電トレンチ50は、最終的なコンデンサにおいてドーピング領域

5

4 2に電気接続される。

【0015】図7において、底部電極層5 2は、例えば、絶縁層4 0をエッチストップとして反応性イオン・エッチングを利用してパターンニングされ、底部コンデンサ電極を定める。誘電層5 4は、例えば約5 0 0オングストロームの厚さの窒化シリコンを被着することによって形成され、酸化物層5 6は周知のように形成・パターンニングされて、以下で説明する上部電極のための開口部となる。誘電層5 4の厚さをよりよく制御するため、酸化物層5 6は、誘電層5 4をエッチストップとして、湿式エッチング剤を用いてパターンニングされることが好ましい。

【0016】最後に、図8は、本発明により完全に形成されたコンデンサ5 8を示す。障壁層6 0および金属層6 2からなる上部電極層6 4は、酸化物層5 6によって定められるように、誘電層5 4上に形成される。一例として、障壁層6 0は、約1, 0 0 0オングストロームの厚さに被着されたチタン・タングステンであり、金属層6 2は約6, 5 0 0オングストロームの厚さのアルミニウム／銅合金である。あるいは、上部電極6 4は誘電層5 4と接触したポリシリコン層を含んでもよいことが当業者に理解される。

【0017】従って、コンデンサ5 8は、上部電極層6 4、誘電層5 4および底部電極層5 2を含む。導電トレンチ5 0は、底部電極層5 2を半導体ウェハ1 4に電気接続する。好ましくは、ウェハ1 4は、周知のようにグランドまたは最低基準電位源に電気接続される。従って、コンデンサ5 8の底部電極は、上部コンタクトを必要とせずに、電位源に接続される。例えば、半導体ウェハ1 4の背面は、グランド電位に接続するために被着された金属層を有してもよい。上部電極層6 4は、従来のように接続される。

【0018】本発明による利点は、底部電極層5 2の直列抵抗は、底部電極への上面コンタクトを必要とする従来のコンデンサに比べて大幅に低減されることである。特に、底部電極層5 2の任意の部分と、ウェハ1 4を介したグランドに最も近い接続との間で直列抵抗が実質的に存在しないように、十分な数の導電トレンチ5 0を設けることができることである。

【0019】上述のように、ドーピング領域4 2は任意である。ドーピング領域4 2は、導電トレンチ5 0を接続する抵抗の低い電気経路を設けることにより、底部電極層5 2の直列抵抗の低減に寄与するので、ドーピング領域4 2は好ましい。

【0020】窒化シリコンとして誘電層5 4を説明したが、別の実施例では、他の適切な誘電体も利用できることが当業者に理解される。このような誘電体は、窒化シリコンよりも高い誘電率を有してもよく、そのためさらに大きい容量／面積特性を有するコンデンサが得られる。また、さまざまな従来の材料を利用して、上部電極

6

層6 4を形成してもよい。例えば、上部電極層6 4は、二重ポリシリコン・コンデンサ構造で用いられるように、金属層の下にポリシリコン層でもよい。さらに、半導体ウェハ1 4はシリコンに限定されず、他の適切な半導体材料でもよい。絶縁トレンチ2 2（図1参照）も任意であるが、これを用いると、任意のドーピング領域4 2からの拡散流出(out-diffusion)を封じるという利点がある。よって、絶縁トレンチ2 2は、集積回路上で他のデバイスとコンデンサ5 8の高密度実装を可能にする。

【0021】上部電極層6 4は、コンデンサ5 8の新規な構造のため、集積回路上のボンディング・パッドまたは金属電源バスの下に形成できる場合もある。これは、従来のコンデンサで必要だった底部電極層5 2用の上面コンタクトがないためである。上部電極層6 4をボンディング・パッドの下に配置することの利点は、コンデンサ5 8に必要なレイアウト面積が小さくなることである。これは、3 0 p F以上の容量を有する大型コンデンサの場合に特に有利である。

【0022】特定の実施例について説明してきたが、本発明はさまざまな他の実施例で利用できることが当業者に理解される。例えば、半導体ウェハ1 4は、他の層の導電型を相応に変えることによってN型材料にできる。また、コンデンサ5 8は、絶縁トレンチ2 2を有していない構造にも形成できる。さらに、導電トレンチ5 0はエッチングする必要がなく、他の方法によって形成できる。

【0023】以上、集積回路用の新規なコンデンサ構造が提供されたことが明らかである。このコンデンサは、従来のコンデンサに比べて底部電極の直列抵抗を大幅に低減し、集積回路においてコンデンサを設けるために必要なレイアウト面積を低減する。また、本発明は、コンデンサ電極の1つをグランド電位に接続するため集積回路の表面上で金属配線する必要を省く。

【図面の簡単な説明】

【図1ないし図8】本発明によるコンデンサの製造における順次工程を示す断面図である。

【符号の説明】

- 1 0 半導体層
- 1 2 半導体基板
- 1 4 高濃度にドーピングされたP型半導体ウェハ
- 1 6 低濃度にドーピングされたエピタキシャル層
- 1 8 高濃度にドーピングされたN型エピタキシャル埋設層
- 2 0 低濃度にドーピングされたN型エピタキシャル層
- 2 2 絶縁トレンチ
- 2 4 ハードマスク
- 2 6 酸化物層
- 2 8 窒化物層
- 3 0 線形酸化物

7

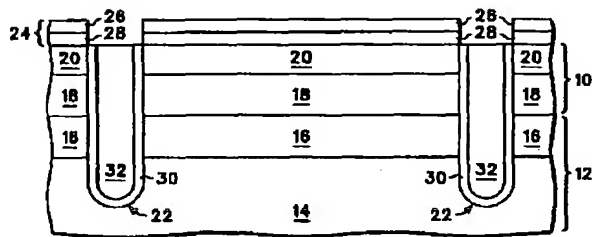
- 3 2 ポリシリコン充填
- 3 4 窒化物マスク層
- 3 6 フィールド分離層
- 3 8 活性領域
- 4 0 絶縁層
- 4 2 高濃度にドーピングされたP型ドーピング層
- 4 4 酸化物層
- 4 6 垂直トレンチ
- 4 8 導電材料

8

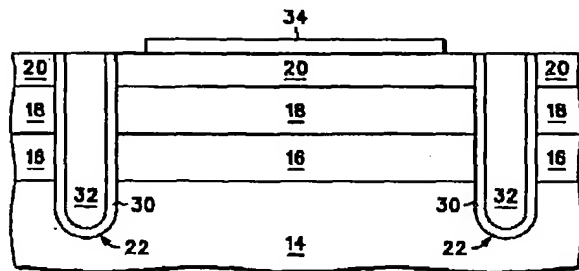
- \* 5 0 導電トレンチ
- 5 2 底部電極層
- 5 4 誘電層
- 5 6 酸化物層
- 5 8 コンデンサ
- 6 0 障壁層
- 6 2 金属層
- 6 4 上部電極層

\*

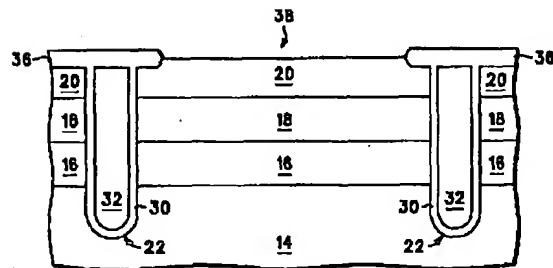
【図 1】



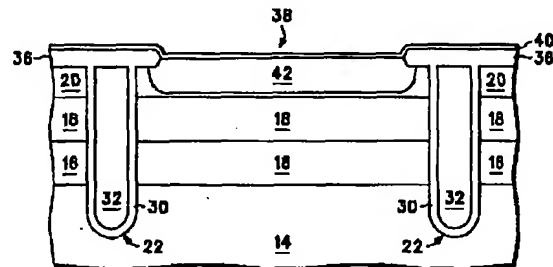
【図 2】



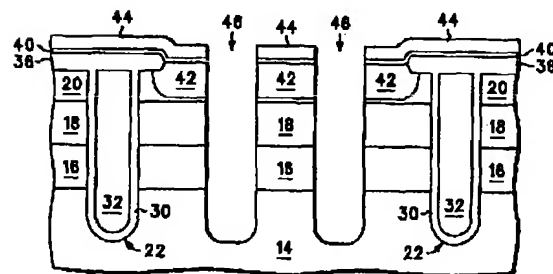
【図 3】



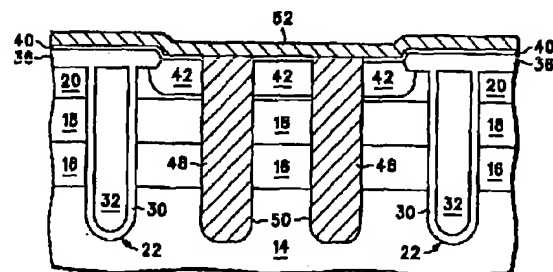
【図 4】



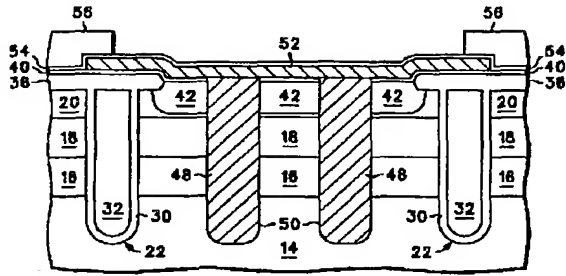
【図 5】



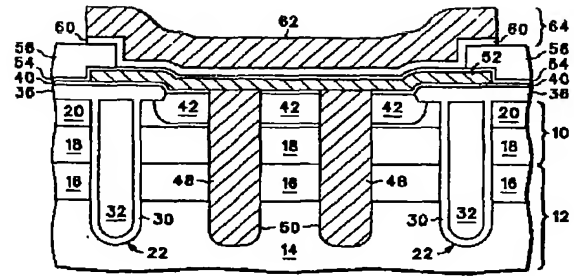
【図 6】



【図 7】



【図 8】



フロントページの続き

(72) 発明者 ニール・ティー・トラクト  
アメリカ合衆国アリゾナ州メサ、イーエス  
ティー40、サウス・ロジャース・ストリー  
ト2322

(72) 発明者 ロバート・エー・ブローア  
アメリカ合衆国アリゾナ州メサ、サウス・  
パターソン2607

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102529

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number : 11-275282

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.09.1999

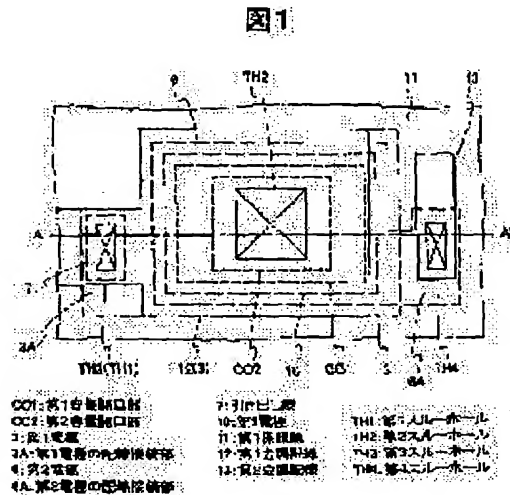
(72)Inventor : KUROKAWA ATSUSHI

## (54) CAPACITY ELEMENT OF MIM STRUCTURE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To raise a capacity value (capacitance density) of the capacitive element of MIM structure which is provided per a unit area, when it is formed on a semiconductor substrate, and to reduce the size of a semiconductor integrated circuit device comprising the capacitive element of MIM structure.

**SOLUTION:** On a semiconductor substrate, a first metal film, first insulating film, second metal film, second insulating film, and third metal film are laminated sequentially, with the first and third metal films electrically connected together. A first capacitor comprising the first metal film, first insulating film, and second metal film, and a second capacitor comprising the second metal film, second insulating film, and third metal film are connected in parallel. A capacitor intrinsic part which functions as a capacitance of the second capacitor is provided inside the capacitor intrinsic part which functions as capacitance of the first capacitor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]